

**本系統專利資料僅供參考，不作為准駁依據，所有資料以經濟部智慧財產局公告為準 | 中文造字安裝程式：(約1.6M)

00492145 - 核准公告專利公報資料

第 93130112 番號看詳證附件 2

[訂購此篇專利](#)

**以下資料為公告原始資料，如欲查詢該案異動資訊，請點選權利異動或雜項資料選項*

一種避免低介電常數介電層劣化的方法

專利公告號	00492145 說明書影像 / 圖式影像 / 專利公報影像 / 權利異動 / 雜項資料 /
卷號	29
期號	18
公告日期	2002/06/21
專利類型	發明
國際專利分類號	H01L 21/76
申請案號	090115085
申請日期	2001/06/21
申請人	聯華電子股份有限公司；新竹科學工業園區新竹市力行二路三號
發明人	張鼎張 劉柏村 莫亦先
代理人資訊	許鍾迪；台北縣永和市福和路三八九號五樓
摘要	本發明係提供一種避免形成於一半導體晶片之基底表面之低介電常數(low dielectric constant, low k)介電層發生介電特性劣化的方法。該方法是先於該低介電常數介電層表面形成一圖案化之光阻層，接著利用該光阻層作為硬遮罩(hard mask)，以對該低介電常數介電層進行一蝕刻製程，然後去光阻。最後再對該低介電常數介電層進行一表面處理(surface treatment)，以去除該低介電常數介電層中的Si-OH鍵，進而避免該低介電常數介電層吸附水氣而發生介電特性劣化的現象。
申請專利範圍	1. 一種避免一基底表面之一圖案化之低介電常數(low dielectric constant, low k)介電層發生介電特性劣化的方法，該方法對該圖案化之低介電常數介電層進行一表面處理(surface treatment)，以去除該圖案化之低介電常數介電層中的Si-OH鍵，進而避免該圖案化之低介電常數介電層吸附水氣而發生介電特性劣化的現象。

公 告 本

申請日期：6/21 案號：90115085
類別：H01L 27/16
(以上各欄由本局填註)

發明專利說明書 492145

發明人	中文 姓 名 (中文) 英文 (英文)	一種避免低介電常數介電層劣化的方法 METHOD OF AVOIDING DIELECTRIC LAYER DETERIORATION WITH A LOW DIELECTRIC CONSTANT	無
發明人	中文 姓 名 (中文) 英文 (英文)	1. 張晶張 2. 劉柏村 3. 莫亦先 1. Chuang, Ting-Chang 2. Liu, Po-Tsun 3. Mo, Yi-Shien	
國籍	中華民國	1. 中華民國 2. 中華民國 3. 中華民國	有關微生物已寄存於
住、居所	1. 新竹市香山區埔前里五鄰牛埔南路一四二巷八弄六號四樓 2. 新竹市新莊街七十九巷十一號六樓 3. 臺北市民生東路四段一二四號三樓		寄存日期 無
社名 (名稱) (中文)	聯華電子股份有限公司		寄存號碼 無
社名 (名稱) (英文)	UNITED MICROELECTRONICS CORP.		
國籍	中華民國		
住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號		
申請人			

代理人 姓 名 (中文)	1. 宣明智	有關微生物已寄存於
代理人 姓 名 (英文)	1. 宣明智	寄存日期 無
代理人 姓 名 (中文)	1. 宣明智	寄存號碼 無

本發明係提供一種避免形成於一半導體晶片之基底表面之低介電常數 (low dielectric constant, low k) 介電層發生介電特性劣化的方法。該方法是先於該低介電常數介電層表面形成一圖案化之光阻層，接著利用該光阻層作為硬遮罩 (hard mask)，以對該低介電常數介電層進行一蝕刻製程，然後去光阻。最後再對該低介電常數介電層進行一表面處理 (surface treatment)，以去除該低介電常數介電層中的 Si-OH鍵，進而避免該低介電常數介電層吸收水氣而發生介電特性劣化的現象。

英文發明摘要 (發明之名稱：METHOD OF AVOIDING DIELECTRIC LAYER DETERIORATION WITH A LOW DIELECTRIC CONSTANT)

The present invention is a method to avoid deterioration of a dielectric characteristic of a dielectric layer having a low dielectric constant (low k) during a stripping process. The method involves first forming a low k dielectric layer on the surface of a substrate of a semiconductor wafer. Then, a patterned photoresist layer is formed over the surface of the low k dielectric layer. The patterned photoresist layer is then used as a hard mask to perform an etching process

英文發明摘要 (發明之名稱：METHOD OF AVOIDING DIELECTRIC LAYER DETERIORATION WITH A LOW DIELECTRIC CONSTANT)

on the low k dielectric layer. A stripping process is then performed to remove the patterned photoresist layer. Finally, a surface treatment is utilized on the low k dielectric layer to remove Si-OH bonds in the low k dielectric layer so as to avoid moisture absorption of the low k dielectric layer that causes deterioration of the dielectric characteristic.

五、發明說明 (1)
發明之領域

本發明係提供一種避免低介電常數 (low k)介電層發生介電特性劣化的方法。

背景說明

隨著半導體元件的尺寸不斷縮小以及積體電路密度不斷的提高，伴隨而來的金屬導線間所產生的RC時間延遲 (RC time delay)業已嚴重地影響到積體電路的運作效能，大大降低了積體電路的工作速度，尤其當製程線寬 (line width)降到0.25微米，甚至0.13微米以下的半導體製程時，RC時間延遲所造成的影响將更為明顯。

由於在金屬內連線間所產生的RC時間延遲是由金屬導線的電阻值 (R)與金屬導線間之介電層的寄生電容 (C)的相乘積，故減少RC時間延遲的方法可利用電阻值較低的金屬做為金屬導線，或者是降低金屬導線間介電層的寄生電容。在降低電阻方面，使用純銅作為導線材料之銅連結線技術 (copper interconnect technology)以取代傳統的鋁銅合金 (Al:Cu(0.5%))為主要材料的多重金屬化製程 (multilevel metallization process)已成為勢在必行的趨勢。因為銅本身具有較低的電阻率 ($1.67 \mu\Omega \cdot \text{cm}$)加上可承載較高之電流密度而不致產生有銻銅合金的電致遷移

五、發明說明 (2)

(electro migration)之虞，因此可以減少金屬導線間的寄生電容以及金屬導線的連結層數。但是單單以銅連結線技術仍然無法將金屬導線間所產生的RC時間延遲大幅降低，而且銅連結線技術亦有一些製程上的問題尚待解決，所以利用降低金屬導線間介電層之寄生電容來減少RC時間延遲的方法便日益重要。

此外，由於介電層的寄生電容與介電層的介電常數 (dielectric constant)相關，因此介電層的介電常數越低，形成於介電層中的寄生電容也就相對的越低。而傳統的二氧化矽 (介電常數為3.9)已漸漸無法滿足目前0.13微米以下之半導體製程的需求，是以一些新的低介電常數材料，例如聚醯亞胺 (polyimide, PI)、FPI、FLARETM、PAE-2、PAE-3或LOSP等已被陸續提出。

然而，這些低介電常數材料雖具有較低的介電常數值 (介於 $2.6 \sim 3.2$ 之間)，但是這些一般主成分为碳氫氧之低介電材料，無論在蝕刻、與其他材料的附著力，或是其本身的各項性質都與傳統的二氧化矽有明顯差異，而且其大部分有附著性不佳以及熱穩定性不足等缺點，因此目前尚無法妥善地整合於一般IC常用的製程。

也因為如此，一些以二氧化矽為基礎然後於材料內再摻入一些碳氫等元素的低介電常數介電層，例如HSQ

五、發明說明 (3)

(hydrogen silsesquioxane) ($K=2.8$)、MSQ (methyl polysilsesquioxane) ($K=2.7$)、HOSP ($K=2.5$)、H-PSSQ (hydro polysilsesquioxane)、M-PSSQ (methyl polysilsesquioxane)、P-PSSQ (phenyl polysilsesquioxane)或多孔性凝膠 (porous sol-gel) ($K<2$)等材料，便由於其性質與傳統二氧化矽相去不遠，因此對目前習知的半導體製程有著較高的整合能力，而為日後所看好。

但是在對這些以二氧化矽為基本結構的低介電常數材料 (HSQ、MSQ、HOSP、porous sol-gel等) 構成之介電層中進行圖案轉移時，不論在蝕刻介電層或進行去光阻製程時，均會對介電層造成傷害。因為去光阻製程通常係用乾式氣電漿灰化 (ashing) 裝程與濕式去光阻液來去除電層表面的鍵結容積，故使得介電層表面形成離子以及鹼性之去光阻液反應，使受損介電層表面形成 Si-OH鍵而吸附水氣。由於水的高介電常數值 ($K=78$)，介電層吸附水氣後將導致介電層之介電常數上升，喪失原本低介電常數特性。此外，吸附的水氣亦會使介電層之漏电流上升，使介電層絕緣性變差，甚至會有毒害介層洞 (poison via) 的情形產生，嚴重影響產品的可靠度。

請參閱圖一到圖四，圖一到圖四為本發明於低介電常數介電層上進行蝕刻製程的方法。如圖一所示，半導體晶片 10 包含有一矽基底 12，一利用化學氣相沈積法 (chemical vapor deposition, CVD) 或旋塗方式

五、發明說明 (4)

本發明之主要目的在於提供一種避免低介電常數 (low dielectric constant, low k) 介電層在去光阻製程中發生介電特性劣化的製作方法，以解決上述問題。

在本發明之實施例中，該方法首先於半導體晶片之基底表面形成一低介電常數 (low dielectric constant, low k) 介電層，接著在低介電常數介電層表面形成一圖案化之光阻層，並利用該光阻層作為硬遮罩 (hard mask)，以對該低介電常數介電層進行一蝕刻製程。最後進行一去光阻製程，並利用六甲基二矽氮烷 (HMDS) 來對該低介電常數介電層進行一表面處理 (surface treatment)，以去除該低介電常數介電層中的 Si-OH鍵。

本發明是利用化學物質 (HMDS) 來修補在去光阻製程中被損害的低介電常數介電層，使被損害的低介電常數介電層回復原來之介電特性，避免該低介電常數介電層吸附水氣而發生介電特性劣化的現象。

發明之詳細說明

請參閱圖一到圖四，圖一到圖四為本發明於低介電常數介電層上進行蝕刻製程的方法。如圖一所示，半導體晶片 10 包含有一矽基底 12，一利用化學氣相沈積法 (chemical vapor deposition, CVD) 或旋塗方式

五、發明說明 (5)

(spin-on)而形成於矽基底 12 表面之低介電常數 (low k) 介電層 14。其中，低介電常數 (low k) 介電層 14係由 H-SQ (hydrogen silsesquioxane)、MSQ (methyl silsesquioxane)、H-PSSQ (hydrido polysilsesquioxane)、M-PSSQ (methyl polysilsesquioxane)、P-PSSQ (phenyl polysilsesquioxane)、HOSP 與多孔性凝膠 (porous sol-gel) 等以二氯化矽為基本結構之介電材料所構成。

接著如圖二所示，於低介電常數介電層 14 表面形成一光阻層 16，並利用微影技術以於光阻層 16 表面定義一蝕刻圖案。如圖三所示，隨後利用圖素化之光阻層 16 作為硬遮罩 (hard mask)，以對低介電常數介電層 14 進行一蝕刻製程，使蝕刻圖案轉移到低介電常數介電層 14之上。

然後如圖四所示，進行一去光阻製程，先利用一氣電漿對光阻層 16 進行反應性蝕刻，使氣電漿與光阻層 16 中的矽、氮元素完全反應形成氣態的二氧化矽與水蒸氣而剷除光阻，接著再將半導體晶片 10 浸泡於濕式去光阻液 (wet stripper)，如羟胺 (NH_2OH) 或乙醇胺 (HOCH_2NH_2) 等鹼性溶液中，以去除殘留在低介電常數介電層 14 表面的光阻層 16。其中，由於氣電漿與去光阻液會損傷低介電常數介電層 14 表面，使低介電常數介電層 14 生成 $\text{Si}-\text{OH}$ 鍵而吸附水氣，造成低介電常數介電層 14 介電常數上升與漏電流問題。

五、發明說明 (6)

題。

最後對該低介電常數介電層 14 進行一表面處理 (surface treatment)，亦即將半導體晶片 10 浸泡在一溶液有 5~15% 之六甲基二矽氮烷 (Hexamethyldisilazane, HMDS) 的己烷 (hexane) 溶液中或是將半導體晶片 10 置於充滿六甲基二矽氮烷 (HMDS) 蒸氣的環境中，使 HMDS 與低介電常數介電層 14 的表面的 $\text{Si}-\text{OH}$ 鍵反應而消除 $\text{Si}-\text{OH}$ 鍵，其化學反應式如圖五所示， $\text{Si}-\text{OH}$ 可於反應後形成 $\text{Si}-\text{O}(\text{CH}_3)_3$ ，且經過此化學反應步驟後，HMDS 不但可消除低介電常數介電層 14 中的 $\text{Si}-\text{OH}$ 鍵，以修復低介電常數介電層 14 在去光阻步驟中所遭受到的損害，而且還可以達成介電層表面改質的功效，由原本的親水性表面改為後來的疏水性表面以防止後續製程環境中水氣的吸附，因而可復原先之介電層電性。後續可利用 -400°C ，持溫 30 分鐘的爐管熱烘烤 (Furnace baking) 裝程，以去除殘留於該介電常數介電層 14 表面的六甲基二矽氮烷 (HMDS)，完成本發明方法。

請參閱圖六，圖六為多孔性凝膠介電層之紅外光光譜。由圖六可知，曲線 A、B 分別為氣電漿去光阻製程前後之紅外光光譜，曲線 C 為氣電漿去光阻製程後進行 HMDS 處理所得之紅外光光譜。吸收峰 1 代表 $\text{Si}-\text{OH}$ 鍵之吸收，其吸收位在波數 $3000\sim3500\text{cm}^{-1}$ 處。由圖中可知，介電層在

五、發明說明 (7)

經過去光阻製程後，明顯生成 Si-OH鍵之吸收峰 1，經過 HMDSS 處理過後的介電層，其 Si-OH 之吸收峰 1 的強度會隨之降低。

請參閱圖七，圖七為多孔性凝膠介電層之介電常數長條圖。點狀方塊 A 與斜線方塊 B 分別代表利用氣電漿進行去光阻製程前後之介電常數，格狀方塊 C 代表利用氣電漿進行去光阻製程後再經 HMDSS 處理之介電常數。由圖中可知，介電層在經過去光阻製程後，介電常數由原本的 1.9 增加到 3.8，而在經過 HMDSS 處理後，介電常數下降回復到 2.7，顯示 HMDSS 可修復多孔性凝膠介電層受損結構而改善介電常數增加之問題。

請參閱圖八，圖八為多孔性凝膠介電層之電場與漏電流密度關係曲線圖。如圖八所示，圓形符號 ●、正方形符號 ■ 分別代表氣電漿去光阻製程前後介電層之電場與漏電流密度關係曲線，三角符號 ▲ 為氣電漿去光阻製程後再進行 HMDSS 處理之介電層之電場與漏電流密度關係曲線。由圖中可明顯看出，在去光阻製程前之介電層漏電流密度很低，約為 10^{-1} 到 10^{-9}A/cm^2 ，但經過去光阻製程後造成之漏電流密度大幅上升 3 到 4 個數量級 (order)，最後再利用本發明方法以 HMDSS 處理後則可回復下降約 1 到 2 個數量級，顯示可經 HMDSS 修復介電層受損結構而改善漏電流增加之問題。

五、發明說明 (8)

綜合上述說明，由於以二氧化矽為基礎之低介電常數介電層在去光阻製程中極易受到損傷，使低介電常數介電層表面生成 Si-OH 鍵，進而影響該低介電常數介電層的介電性質。故本發明於低介電常數介電層完成去光阻製程後，在含有 HMDS 的溶液中或是放置在一 HMDS 的蒸氣中，使 HMDS 與 Si-OH 發生反應以除去低介電常數介電層中的 Si-OH，以抑制低介電常數介電層中的水氣吸附並降低介電常數與漏電流的上升現象，進而維持低介電常數介電層優良的介電性質。

相較於習知蝕刻低介電常數介電層之製作方法，本發明在去光阻製程後，使用化學物質 (HMDS) 來修補在去光阻製程中受損害的低介電常數介電層，以消除其中之 Si-OH 鍵，並使低介電常數介電層表面改質成疏水性，阻止水氣吸附，進而解決習知低介電常數介電層之介電常數與漏電流上升問題，避免發生介電特性劣化的現象。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

圖式簡單說明

圖示之簡單說明

圖一到圖四為本發明對低介電常數介電層進行蝕刻製程的方法示意圖。圖五為IMDS與介電層中Si-O鍵結之化學反應式。

圖六為多孔性凝膠介電層之紅外光光譜。

圖七為多孔性凝膠介電層之介電常數長條圖。

圖八為多孔性凝膠介電層之電場與漏電流之關係曲線。

示之符號說明

10 半導體晶片
14 低介電常數介電層
12 砂基底
16 光阻層

六、申請專利範圍

1. 一種避免一基底表面之一圖案化之低介電常數 (low dielectric constant, low k) 介電層發生介電特性劣化的方法，該方法對該圖案化之低介電常數介電層進行一表面處理 (surface treatment)，以去除該圖案化之低介電常數介電層中的 Si-O鍵，進而避免該圖案化之低介電常數介電層吸附水氣而發生介電特性劣化的現象。

2. 如申請專利範圍第1項之方法，其中該基底係為一矽晶片 (silicon wafer)。

3. 如申請專利範圍第1項之方法，其中形成該圖案化之低介電常數 (low k) 介電層的方法包含有下列步驟：於該基底表面形成一低介電常數介電層；利用該低介電常數介電層作為硬遮罩 (hard mask)，以對該低介電常數介電層進行一蝕刻製程；以及進行一去光阻製程。

4. 如申請專利範圍第3項之方法，其中該低介電常數介電層係為HSQ (hydrogen silsesquioxane)、MSQ (methyl silsesquioxane)、H-PSSQ (hydrido polysilsesquioxane)、M-PSSQ (methyl polysilsesquioxane)、P-PSSQ (phenyl polysilsesquioxane)、HOSP或多孔性凝膠 (porous

年月日
西元

六、申請專利範圍
sol-gel)。

六、申請專利範圍

(HMDS)。

5. 如申請專利範圍第4項之方法，其中該低介電常數介電層係以化學氣相沈積法(CVD)或旋塗方式形成於該基底上，去光阻製程。

6. 如申請專利範圍第3項之方法，其中該表面處理係用來去除該圖案化之低介電常數(low k)介電層表面，於完成該蝕刻製程以及該去光阻製程後，所形成的Si-OH鍵。

7. 如申請專利範圍第1項之方法，其中該表面處理係利用一含有六甲基二矽氮烷(Hexamethyldisilazane, HMDS)的溶液來相作用於該圖案化之低介電常數介電層的表面，以去除該圖案化之低介電常數介電層中的Si-OH鍵，進而避免該圖案化之低介電常數介電層吸附水氣，發生介電常數以及漏電流上升的現象。

8. 如申請專利範圍第7項之方法，其中該溶液係利用5~15%的六甲基二矽氮烷(HMDS)溶解於己烷(hexane)中所形成。

9. 如申請專利範圍第8項之方法，另包含有一 400°C ，持溫30分鐘的熱烘烤(hot baking)製程，用來去除殘留於該图案化之低介電常數介電層表面的六甲基二矽氮烷。

10. 如申請專利範圍第1項之方法，其中該表面處理係利用六甲基二矽氮烷(HMDS)的蒸氣來相作用於該圖案化之低介電常數介電層的表面，以去除該圖案化之低介電常數介電層中的Si-OH鍵，進而避免該圖案化之低介電常數介電層吸附水氣，發生介電常數以及漏電流上升的現象。

11. 如申請專利範圍第1項之方法，其中該表面處理係用來使該圖案化之低介電常數(low k)介電層表面形成一疏水性(hydrophobic)層。

12. 一種避免一形成於一基底表面之低介電常數介電層發生介電特性劣化的方，該方法係利用六甲基二矽氮烷(HMDS)來對該低介電常數介電層進行一表面處理(surface treatment)，以去除該低介電常數介電層中的Si-OH鍵，進而避免該低介電常數介電層吸附水氣而發生介電特性劣化的現象。

13. 如申請專利範圍第12項之方法，其中該基底係為一矽晶片(silicon wafer)。

14. 如申請專利範圍第12項之方法，其中該低介電常數介電層係為HSQ、MSQ、H-PSSQ、M-PSSQ、P-PSSQ、HOSP或多

六、申請專利範圍

孔性漿膠 (porous sol-gel)。

15. 如申請專利範圍第 14 項之方法，其中該低介電常數介電層係以化學氣相沈積法 (CVD) 或旋塗方式形成於該基底上。

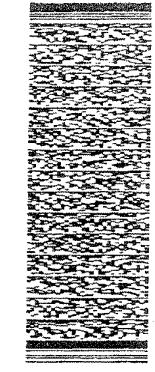
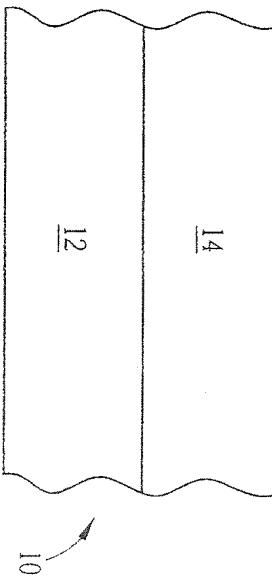
16. 如申請專利範圍第 12 項之方法，其中該六甲基二矽氮烷 (HMDS) 係溶解於己烷 (hexane) 中，且該六甲基二矽氮烷 (HMDS) 的體積百分比濃度約為 5~15%。

17. 如申請專利範圍第 12 項之方法，其中該六甲基二矽氮烷 (HMDS) 係以蒸氣的方式來完成該表面處理。

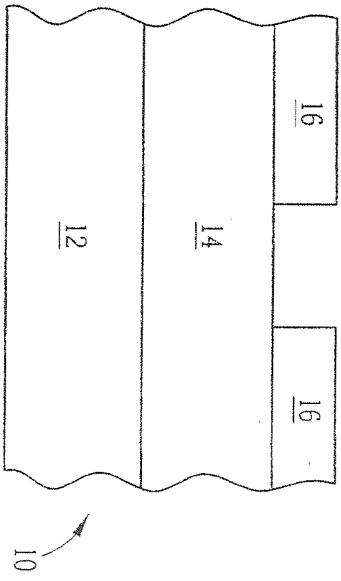
18. 如申請專利範圍第 12 項之方法，其中該低介電常數介電層係為一已圖案化之薄膜層。

19. 如申請專利範圍第 12 項之方法，其中該表面處理係用來使該低介電常數 (10W k) 介電層表面形成一疏水性 (hydrophobic) 層。

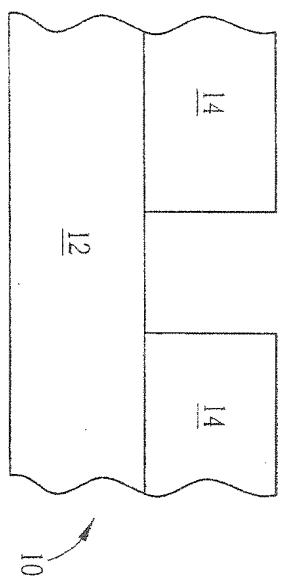
圖一



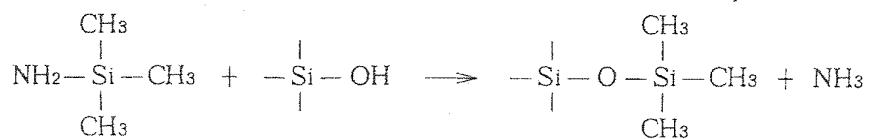
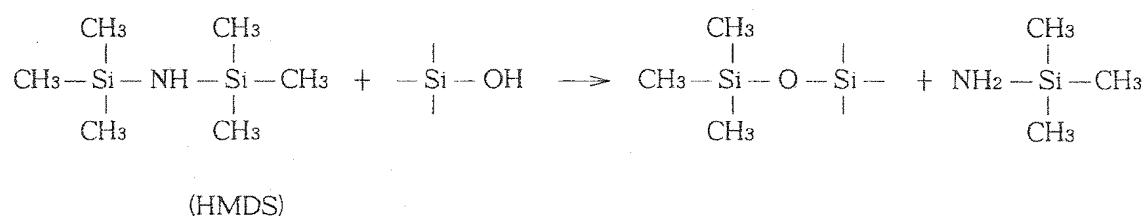
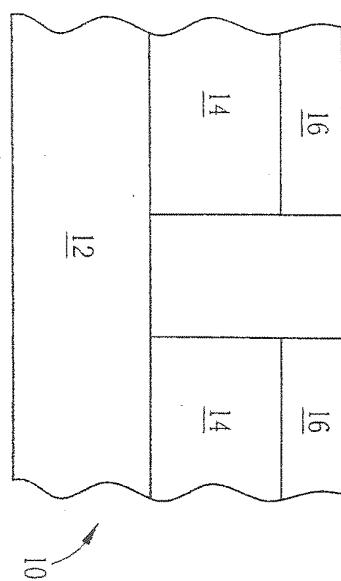
圖二



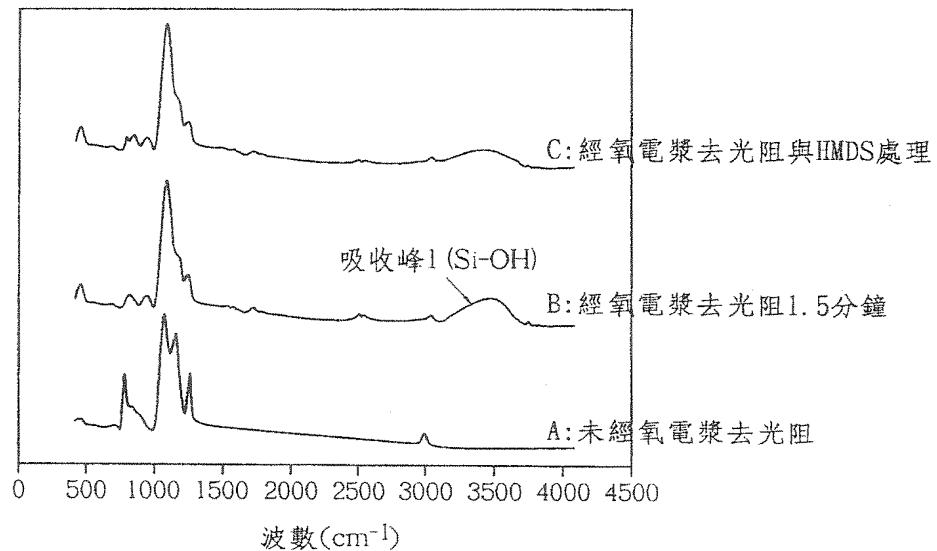
圖四



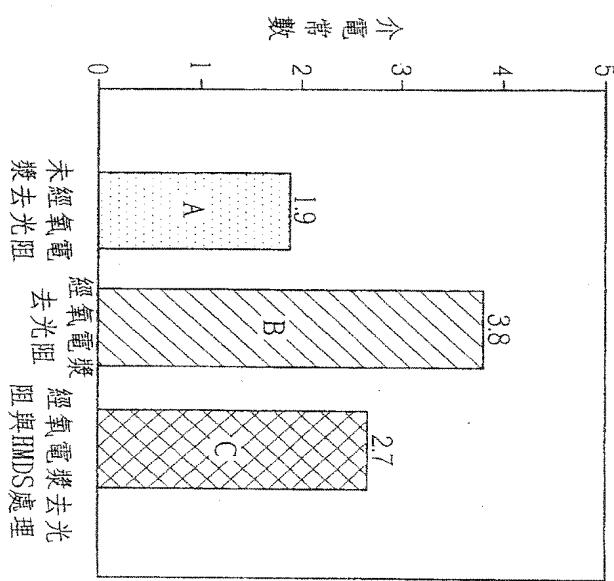
圖三



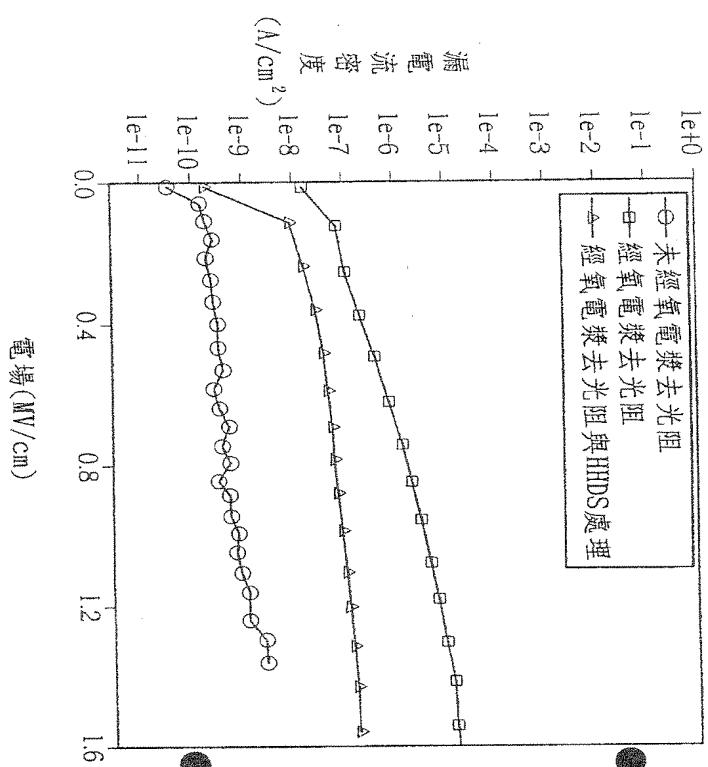
圖五



圖六



圖七



圖八